

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-094061

(43)Date of publication of application : 29.03.2002

(51)Int.Cl.

H01L 29/78  
H01L 21/336

(21)Application number : 2000-279355

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.09.2000

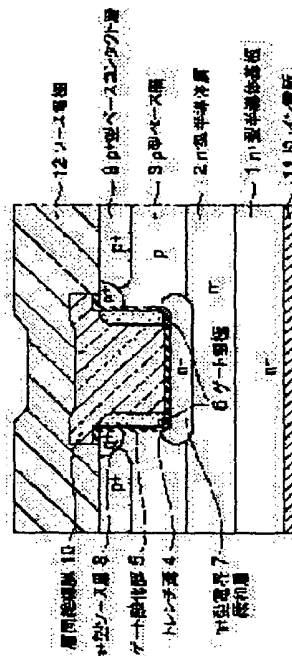
(72)Inventor : NAKAMURA KAZUTOSHI  
YASUHARA NORIO  
KAWAGUCHI YUSUKE

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide the new structure and manufacturing method of a trench MOS for reducing feedback capacity.

**SOLUTION:** This semiconductor device is provided with a second conductivity-type base layer 3, formed on the surface of a first conductivity-type semiconductor substrate 1 or a first conductivity-type semiconductor layer 2, a first conductivity-type source layer 8 selectively formed on the surface of the second conductivity-type base layer 3, a trench groove 4 to the second conductivity-type base layer 3 through the first conductivity-type source layer 8, first and second gate electrodes 6 respectively formed through a gate oxidized film 5 on the inner side wall surface of the trench groove 4, an insulation film 10 formed between the first and second gate electrodes and a first conductivity-type electric field mitigation layer 7 provided between the trench groove 4 and the first conductivity-type semiconductor substrate 1 or the first conductivity-type semiconductor layer 2 in contact with both. A channel is disposed in the vertical direction which is to be the depth direction of the trench groove 4 and the joining depth of the second conductivity-type base layer 3 is deeper than the trench groove 4.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(11)特許出願公開番号

特開2002-94061

(P2002-94061A)

(43)公開日 平成14年3月29日(2002.3.29)

(51)IntCl. <sup>7</sup>	識別記号	F I	データベース*(参考)
H 0 1 L 29/78	6 5 3	H 0 1 L 29/78	6 5 3 C
	6 5 2		6 5 2 G
21/336			6 5 8 A

審査請求 未請求 請求項の数8 OL (全 7 頁)

(21)出願番号	特願2000-279355(P2000-279355)	(71)出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22)出願日	平成12年9月14日(2000.9.14)	(72)発明者	中村 和敏 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝マイクロエレクトロニクスセン ター内
		(72)発明者	安原 紀夫 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝マイクロエレクトロニクスセン ター内
		(74)代理人	100083161 弁理士 外川 英明

最終頁に続く

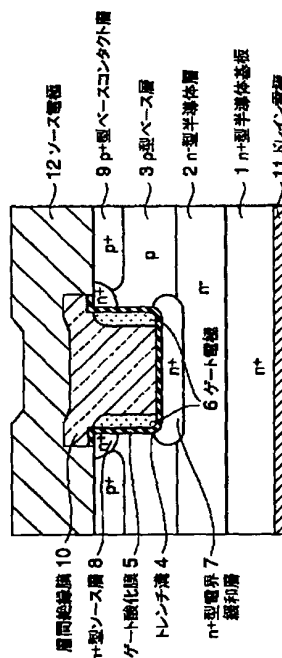
**最終頁に続く**

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 帰還容量を低減したトレンチMOSの新規構造と製造方法を提供することである。

【解決手段】 第1導電型半導体基板1または第1導電型半導体層2の表面に形成された第2導電型ベース層3と、この第2導電型ベース層3の表面に選択的に形成された第1導電型ソース層8と、前記第1導電型ソース層8を突き抜けて前記第2導電型ベース層3に達するトレンチ溝4と、このトレンチ溝4の内側壁面にゲート酸化膜5を介して、夫々、形成された第1及び第2ゲート電極6と、前記第1及び第2ゲート電極間に形成された絶縁膜10と、前記トレンチ溝4と前記第1導電型半導体基板1または前記第1導電型半導体層2間に両者に接触して設けられた第1導電型電界緩和層7とを有し、チャンネルが前記トレンチ溝4の深さ方向となる縦方向に配設され、第2導電型ベース層3の接合深さが前記トレンチ溝4より深い構成にされている。



1

## 【特許請求の範囲】

【請求項 1】第 1 導電型半導体基板または第 1 導電型半導体層の表面に形成された第 2 導電型ベース層と、前記第 2 導電型ベース層の表面に選択的に形成された第 1 導電型ソース層と、前記第 1 導電型ソース層を突き抜けて前記第 2 導電型ベース層に達するトレンチ溝と、前記トレンチ溝の内側壁面にゲート酸化膜を介して、夫々、形成された第 1 及び第 2 のゲート電極とを有し、チャネルが前記トレンチ溝の深さ方向となる縦方向に配設され、前記第 1 ゲート電極と第 2 ゲート電極との間に絶縁膜を有していることを特徴とする半導体装置。

【請求項 2】前記第 2 導電型ベース層の接合深さは、前記トレンチ溝に比べて深いことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】前記トレンチ溝の底部に、前記第 1 導電型半導体層よりも濃度が高い第 1 導電型電界緩和層を有していることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】前記第 1 導電型電界緩和層は、正味のドーピング量が  $4 \times 10^{12} \text{cm}^{-2}$  以下であることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】前記第 1 ゲート電極及び前記第 2 ゲート電極の底部と前記トレンチ溝との間の前記ゲート酸化膜の一部が、その他の部分の前記ゲート酸化膜よりも厚いことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】前記第 1 導電型ソース層に隣接して前記第 2 導電型ベース層表面に第 2 導電型ベースコンタクト層が設けられ、前記第 2 導電型ベースコンタクト層の接合深さが、前記第 1 導電型ソース層の接合深さよりも深いことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】前記半導体基板上に第 1 導電型半導体層を形成する工程と、

前記第 1 導電型半導体層表面に前記第 2 導電型ベース層を形成する工程と、

前記第 2 導電型ベース層表面に選択的に第 1 導電型ソース層を形成する工程と、

前記第 1 導電型ソース層を突き抜けて前記第 2 導電型ベース層に達するトレンチ溝を形成する工程と、

前記トレンチ溝表面にゲート酸化膜を形成する工程と、

前記ゲート酸化膜形成工程後、前記トレンチ溝内にゲート電極材料を均一な厚さのに堆積させる工程と、

前記電極材料を前記トレンチ溝内の側壁部分に残して、それ以外の前記電極材料を除去して、前記トレンチ溝側壁部分に、夫々、第 1 及び第 2 のゲート電極を形成する工程と、

前記第 1 及び第 2 のゲート電極間に絶縁膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

2

【請求項 8】前記トレンチ溝を前記第 2 導電型ベース層の接合深さよりも浅く形成し、前記トレンチ溝を形成後、更に、前記トレンチ溝底部と前記第 1 導電型半導体基板または前記第 1 導電型半導体層との間に第 1 導電型電界緩和層を形成するにより、前記第 2 導電型ベース層の接合深さを前記トレンチ溝に比べて深くしてなることを特徴とする請求項 7 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、高速スイッチング用デバイス、並びにパワー用デバイスとして使用される半導体装置およびその製造方法に関し、特に、トレンチ溝側面をゲートとした縦型電界効果トランジスタおよびその製造方法に関する。

## 【0002】

【従来の技術】従来、U 溝を有した縦型電界効果トランジスタ（以下、トレンチ MOS と称する）は、自動車や OA 機器等のモータ制御分野、DC/DC コンバータなどのスイッチング電源等種々の分野で用いられている。また、トレンチ MOS は、オン抵抗を低減するために、半導体基板表面に溝が形成されており、この溝の側面がチャネル領域として働くことで、単位面積あたりのチャネル幅が大きくなり、高い駆動能力を実現している。

【0003】図 15 は、従来のトレンチ MOS を模式的に示す断面図である。ここでは、簡単化のために、n チャネル型について説明するが、p 型と n 型とを逆転すれば、p チャネルでも同様である。

【0004】即ち、図に示すように、n+型半導体基板 101 上面に、エピタキシャル成長技術によって n-型半導体層 102 が形成される。この n-型半導体層 102 に、イオン注入等で、順次、拡散層を形成して、p 型ベース層 103、n+型ソース層 108 及び n+型ソース層 108 間に p+型ベースコンタクト層 109 を夫々形成する。

【0005】その後、フォトリソグラフィにより位置決めし、リアクティブイオンエッチング（以下、RIE と称する）等により垂直にエッチングしてトレンチ溝 104 を前記 n-型半導体層 102 内に達する深さに形成する。

【0006】この後、熱酸化によって前記トレンチ溝 24 の側壁及び底部のシリコンを酸化して薄いゲート酸化膜 105 を形成する。

【0007】その後、前記トレンチ溝 24 内にポリシリコンを堆積して、これをエッチバックにより平坦化し、ゲート電極 106 を形成する。

【0008】更に、このゲート電極 106 のポリシリコン上に、LPCVD 等で層間絶縁膜を形成し、フォトリソグラフィにより位置決めし、前記層間絶縁膜の所定部分をエッチングして、最後にアルミニウム（Al）をスパッタリング等により堆積し、ソース電極 112 を形成

する。一方、前記n<sup>+</sup>型半導体基板101下面には、ドレイン電極111を形成している。

【0009】

【発明が解決しようとする課題】上記従来のトレンチMOSでは、ゲート電極106とドレイン（n<sup>+</sup>型半導体層）102がトレンチ溝104の底部の薄いゲート酸化膜105を介して対向しているため、帰還容量（ゲート・ドレイン間容量C<sub>gd</sub>）が大きい。しかも、電流が流れるためには、前記トレンチ溝104が、前記p型ベース層103を突き抜けなければならず、プロセス変動を考慮し、前記トレンチ溝104の深さは、前記p型ベース層103に対して十分深めに設定している。

【0010】従って、前記トレンチ溝104の底面だけでなく突き出した側壁の部分も帰還容量となる。この帰還容量は、高速動作に影響を与えるパラメータであるとい一般的に知られている。

【0011】そのため、従来のトレンチMOSでは、帰還容量が大きく、高速動作させるとスイッチング損失が大きくなるという問題を有していた。

【0012】本発明は、上記課題に鑑みなされたもので、目的とするところは、帰還容量を低減したトレンチMOSとその製造方法を提供することである。

【0013】

【課題を解決するための手段】上記目的を達成するために、本発明に係わる半導体装置は、第1導電型半導体基板または第1導電型半導体層の表面に形成された第2導電型ベース層と、前記第2導電型ベース層の表面に選択的に形成された第1導電型第1ソース層と、さらに前記第1導電型第1ソース層を突き抜けて前記第2導電型ベース層に達するトレンチ溝と、前記トレンチ溝の内側壁面にゲート酸化膜を介して、夫々、形成された第1及び第2のゲート電極とを有し、チャネルが前記トレンチ溝の深さ方向となる縦方向に配設され、前記第1ゲート電極と第2ゲート電極との間に絶縁膜を有していることを特徴としている。

【0014】この構成によれば、トレンチ溝の側壁部分におけるゲート・ドレイン間の対向面積を減らすことができ、言い換えれば帰還容量を低減することができる。

【0015】また、第2導電型ベース層間の間隔を広くすることができるため、オン時の第2導電型ベース層から伸びる空乏層によるJFET効果を抑制することができ、オン抵抗を低く保つことができる。

【0016】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態と称する）を説明する。

【0017】（第1の実施形態）図2は、本発明の第1の実施形態に係わるトレンチMOSの構成を示す平面図である。図1は、図2の平面図のX-X'における断面図である。ここでは、第1導電型としてn型、第2導電型をp型とするが、n型とP型を逆にしても良いことは

勿論である。

【0018】図1及び図2に示すように、本実施形態のトレンチMOSでは、n<sup>+</sup>半導体基板1の上面に、エピタキシャル成長によりn<sup>+</sup>型半導体層2が形成され、このn<sup>+</sup>型半導体層2表面上にp型ベース層3が形成され、このp型ベース層3表面にn<sup>+</sup>型ソース層8が形成されている。このn<sup>+</sup>型ソース層8間の前記p型ベース層3表面には、p<sup>+</sup>型ベースコンタクト層9が形成されている。

【0019】更に、断面U字形のトレンチ溝4が前記n<sup>+</sup>型ソース層8を突き抜け、かつ前記p型ベース層3の接合深さよりも浅く形成されている。

【0020】また、このトレンチ溝4の内部側壁面には、ゲート酸化膜5を介して2つの第1及び第2ゲート電極6が、夫々、形成されている。

【0021】そして、前記2つのゲート電極6直下を含む前記トレンチ溝4底部と前記n<sup>+</sup>型半導体層2との間に、前記トレンチ溝4底部と前記n<sup>+</sup>型半導体層2とに接触して、前記n<sup>+</sup>型電界緩和層7が形成されている。このn<sup>+</sup>型電界緩和層7は、前記ゲート電極6とドレイン間の耐圧を保持するために、完全に空乏化する必要があり、正味のドーズ量は、 $4 \times 10^{12} \text{cm}^{-2}$ 以下であることが望ましい。そして、前記n<sup>+</sup>型電界緩和層7により、前記p型ベース層3の接合は、前記トレンチ溝4の深さよりも深い位置に存在することになる。

【0022】前記トレンチ溝4の内部及びその周辺部は、層間絶縁膜10で覆われ、前記n<sup>+</sup>型ソース層8及び前記p<sup>+</sup>型ベースコンタクト層9に跨って、アルミニウム（Al）からなるソース電極12が形成されている。一方、前記n<sup>+</sup>型半導体基板1の下面にドレイン電極が形成されている。なお、図2に示すように、前記トレンチ溝4、前記ゲート電極6、前記n<sup>+</sup>型ソース層8及び前記p<sup>+</sup>型ベースコンタクト層9は、各々、ストライプ状の平面形状に形成されている。

【0023】このような構成によれば、トレンチ溝4の側壁部分におけるゲート・ドレイン間の対向面積を減らすことができ、言い換えれば帰還容量を低減することができる。

【0024】また、p型ベース層間3の間隔を広くすることができるため、オン時のP型ベース層3から伸びる空乏層によるJFET効果を抑制することができ、オン抵抗を低く保つことができる。

【0025】（第2の実施形態）図3は、本発明の第2の実施形態に係わるトレンチMOSの主要部の構成を示す断面図である。図4は、図3における丸で囲んだA領域を拡大して示す断面図である。図において、上記第1の実施形態と同一構成部分及び類似構成部分には、同一符号を付して説明を省略し、且つ相違する部分について詳細を説明する。

【0026】本実施形態が、上記第1の実施形態と異な

5

る点は、以下である。前述したとおり、前記トレンチ溝4を前記P型ベース層3の接合深さよりも浅くすることで、前記トレンチ溝4の側壁部分におけるゲート・ドレイン間の対向面積を減らすことができるが、前記ゲート電極6の底面部分におけるゲート・ドレイン間の容量を減らすことはできない。

【0027】このゲート電極6の底面部分の容量を減らす代表的な方法として、前記ゲート電極6の厚さを薄くすることがあげられる。しかし、前記ゲート電極6の厚さを薄くするとゲート抵抗を悪くすることになり、得策ではない。

【0028】そこで、本実施形態では、図4に拡大して示すように、前記ゲート電極16端下のゲート酸化膜15を、それ以外の部分より厚くすることで容量を減らすことができる。

【0029】（第3の実施形態）図5は、本発明の第3の実施形態に係わるトレンチMOSを模式的に示す断面図である。図において、上記実施形態と同一構成部分及び類似構成部分には、同一符号を付して説明を省略し、且つ相違する部分について詳細を説明する。

【0030】本実施形態が上記実施形態と異なる点は、p<sup>+</sup>型ベースコンタクト層19を前記n<sup>+</sup>型ソース層8よりも深く形成している点である。

【0031】このような構成とすることにより、前記n<sup>+</sup>型ソース層8と前記p型ベース層3と前記n-型半導体層2からなる寄生NPNトランジスタのベース抵抗を減らすことができる。そのため、この寄生NPNトランジスタが活性化し難くなり、アバランシェ耐量を向上できる。

【0032】この構造のトレンチMOSは、層間絶縁膜を形成した後、ソース電極のコンタクト形成時に、前記層間絶縁膜及びシリコン表面をRIE等によりエッチングし、次にボロンをインプラして、前記p<sup>+</sup>型ベースコンタクト層を形成することにより簡単に得られる。

【0033】なお、本発明の構造にすると、従来構造に比べセルピッチが大きくなり、RonA（オン抵抗×FET面積）が劣下するという危惧がある。図6は、従来構造におけるセル密度とRon（オン抵抗）とCgd（ゲート・ドレイン間容量）との関係を示したものである。セル密度が大きくなるとセル密度に比例してCgdは大きくなる。これは単純にゲート・ドレイン間の対向面積が増えるためである。Ronはセル密度が高くなると低下するが、セル密度が十分高くなると飽和傾向を示す。これは、次の理由からである。図15に示すように、トレンチMOSの抵抗成分は主にチャネル抵抗（Ron）、ゲート電極106とn-型半導体層102の重なり領域で形成される蓄積層の抵抗（Rac）、n-型半導体層102の抵抗（Repi）の3つよりなる。

【0034】セル密度をあげることは、チャネル幅を大きくし、チャネル抵抗、蓄積層の抵抗を小さくすること

6

につながる。セル密度をあげるとこれら2つの抵抗成分は小さくなるが、n-型半導体層102の抵抗は変わらない。

【0035】したがって、最終的に、n-型半導体層102の抵抗が大きく見える領域では飽和傾向を示す。つまり、セル密度をあげてもRonはさほど変わらず、Cgdだけが大きくなる領域が存在し、この領域ではCgdを劣下させるだけでセル密度を高くしないほうがいい。RonとCgdの両方の観点からすれば、セル密度は大きいければ大きいほど特性がすぐれているというわけではなく、セル密度の最適値が存在する。従来構造において、一般的に高速動作のトレンチMOSは、低オン抵抗用のトレンチMOSに比べセルピッチを大きくする。したがって、セルピッチを大きくした分だけトレンチ溝の幅を広くすれば、高速動作のトレンチMOSに比べさほどRonAは劣下しない。

【0036】（第4の実施形態）次に、図7乃至図14を用いて、本発明のトレンチMOSに係わる製造方法を説明する。図7乃至図14は、本発明のトレンチMOSの製造工程を示す工程断面図である。

【0037】まず、図7に示すように、n<sup>+</sup>型半導体基板1上面にエピタキシャル成長したn-型半導体層2を形成し、そこにボロンをインプラし、熱拡散を行うことでp型ベース層3を形成する。

【0038】次に、図8に示すように、前記p型ベース層3の表面に、選択的に砒素をイオン注入し、n<sup>+</sup>型ソース層8を形成する。

【0039】次に、前記n<sup>+</sup>型ソース層8を含む前記p型ベース層3表面に、マスク材となる絶縁物を堆積させ、リソグラフィにより位置決めした後、前記絶縁物をRIE等によりエッチングして、前記n<sup>+</sup>型ソース層8の表面上に開口を有するマスク材13を形成する。

【0040】次に、前記マスク材13をマスクにして、RIEによりシリコンを垂直にエッチングし、断面U字形状のトレンチ溝4を形成する。このトレンチ溝4の深さは、前記p型ベース層3の接合深さに比べ浅くする。

【0041】次に、図9に示すように、前記トレンチ溝4の側壁にリンが入らないように、リンを前記トレンチ溝4の底面にのみ、無角度でイオン注入する。

【0042】次に、図10に示すように、リンの熱拡散により電界緩和層7を前記トレンチ溝4の底面直下全体に、且つ前記n-型半導体層2に達するように形成し、前記トレンチ溝4の内表面にゲート酸化膜5を形成する。

【0043】その後、図11に示すように、ポリシリコン6をCVD等により堆積させ、図12に示すように、RIE等により前記トレンチ溝4内部の側面に堆積している前記ポリシリコン6以外をエッチングする。

【0044】次に、図13に示すように、層間絶縁膜10をCVD等により堆積させた後、リソグラフィによ

7

り前記トレンチ溝4及びその周辺部に層間絶縁膜10を残して、エッチングする。次いで、前記n<sup>+</sup>型ソース層8間の前記P型ベース層3表面に、ボロンをイオン注入して、p<sup>+</sup>ベースコンタクト層9を形成する。その後、コンタクトする領域の絶縁膜をエッチングし、アルミニウム(A1)をスパッタリング等により堆積し、前記n<sup>+</sup>型ソース層8及び前記P型ベース層3表面にソース電極12を形成する。一方、前記n<sup>+</sup>型半導体基板1下面にドレイン電極11を形成してなる。

【0045】また、図3及び4に示すように、ゲート酸化膜15の一部を厚い酸化膜にするためには、図12の工程の後に、ゲート電極であるポリシリコンの酸化を行えばよい。この酸化を行うことでバズピークが形成され、ゲート酸化膜の一部が厚い酸化膜になる。

【0046】なお、上記実施形態では、第1導電型をn型とし、第2導電型をp型とした場合について説明したが、これに限らず、第1導電型をp型とし、第2導電型をn型としても、本発明を同様に実施して同様の効果を得ることができる。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施できる。

【0047】

【発明の効果】以上、説明してきたように、本発明によれば、トレンチMOSの帰還容量を低減することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るトレンチMOSを示す断面図である。

【図2】本発明の第1の実施形態に係るトレンチMOSを示す平面図である。

【図3】本発明の第2の実施形態に係る半導体装置の断面図である。

【図4】図3における領域Aの拡大図である。

【図5】本発明の第3の実施形態に係る半導体装置の断面図である。

20

\*【図6】トレンチMOSにおけるセル密度とオン抵抗、Cgdとの関係を示した図である。

【図7】本発明の実施形態に係わるトレンチMOSの製造工程を示す断面図である。

【図8】本発明の実施形態に係わるトレンチMOSの製造工程を示す断面図である。

【図9】本発明の実施形態に係わるトレンチMOSの製造工程を示す断面図である。

【図10】本発明の実施形態に係わるトレンチMOSの製造工程を示す断面図である。

【図11】本発明の実施形態に係わるトレンチMOSの製造工程を示す断面図である。

【図12】本発明の実施形態に係わるトレンチMOSの製造工程を示す断面図である。

【図13】本発明の実施形態に係わるトレンチMOSの製造工程を示す断面図である。

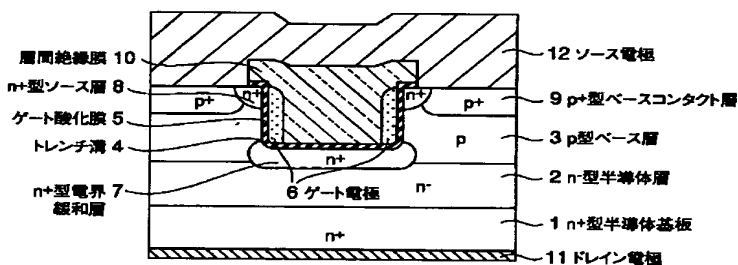
【図14】本発明の実施形態に係わるトレンチMOSの製造工程を示す断面図である。

【図15】従来のトレンチMOSの断面図である。

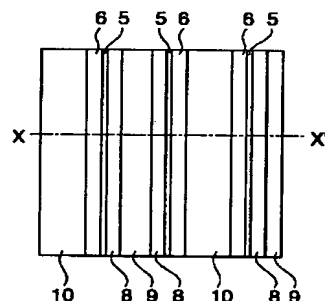
【符号の説明】

- 1、101…n<sup>+</sup>型半導体基板、
- 2、102…n<sup>+</sup>型半導体層、
- 3、103…p型ベース層、
- 4、104…トレンチ溝、
- 5、15、105…ゲート酸化膜、
- 6、16、106…ゲート電極、
- 7…n<sup>+</sup>電界緩和層、
- 8、108…n<sup>+</sup>型ソース層、
- 9、19、109…p<sup>+</sup>型ベースコンタクト層、
- 10…層間絶縁膜、
- 11、111…ドレイン電極、
- 12、112…ソース電極、
- 13…マスク材、

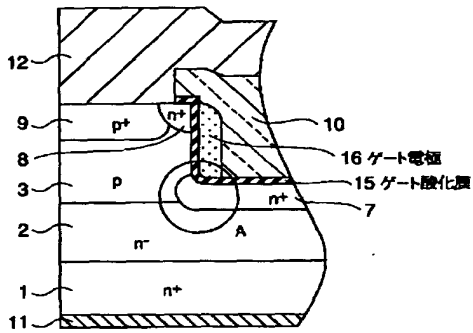
【図1】



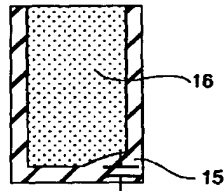
【図2】



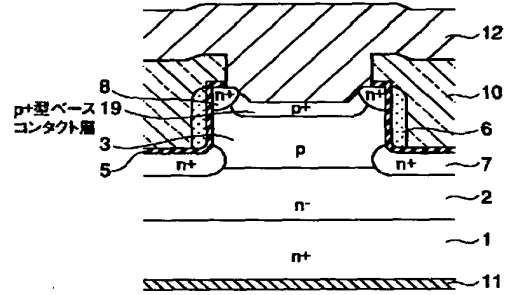
【図3】



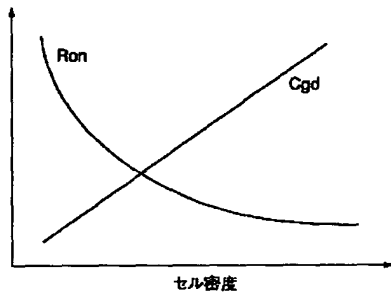
【図4】



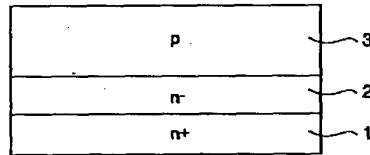
【図5】



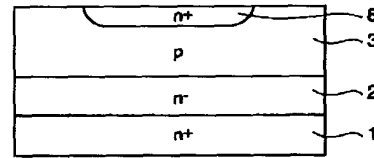
【図6】



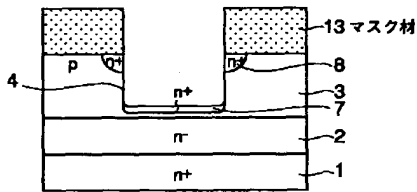
【図7】



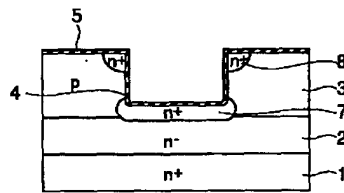
【図8】



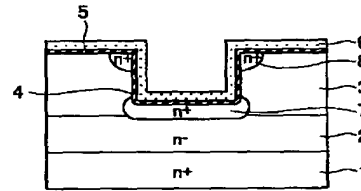
【図9】



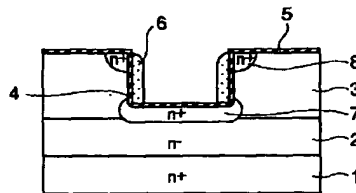
【図10】



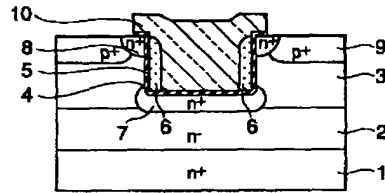
【図11】



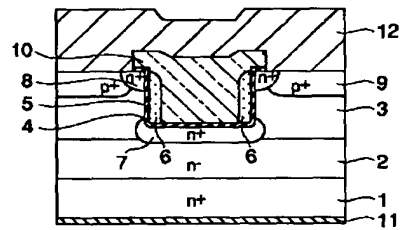
【図12】



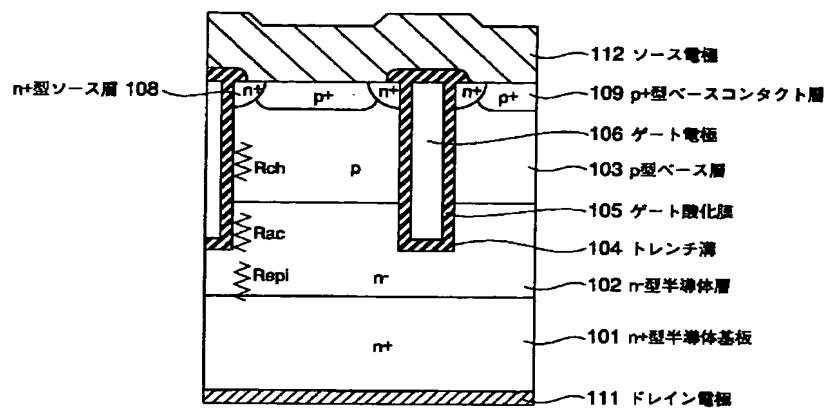
【図13】



【図14】



【図 15】



フロントページの続き

(72) 発明者 川口 雄介  
 神奈川県川崎市幸区小向東芝町1番地 株  
 式会社東芝マイクロエレクトロニクスセン  
 ター内